



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62145934 A**(43) Date of publication of application: **30.06.87**

(51) Int. Cl.

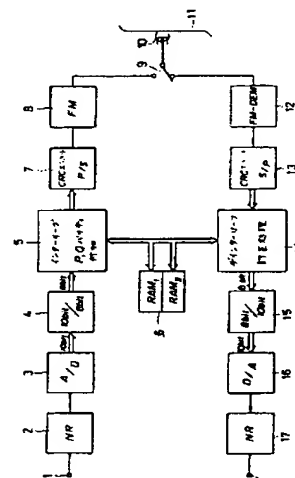
H03M 13/22**H04L 1/00**(21) Application number: **60287274**(71) Applicant: **SONY CORP**(22) Date of filing: **20.12.85**(72) Inventor: **YAMAZAKI HIROSHI**(54) **ERROR CORRECTION PROCESSING UNIT**

COPYRIGHT: (C)1987,JPO&Japio

(57) Abstract:

PURPOSE: To prevent waste power consumption by completing an error correction processing when an error flag of a processing data has no error while 2-series of error correction processing is repeated for a prescribed number of times alternately by means of the close interleaving.

CONSTITUTION: A data subjected to interleaving processing by an interleaving processing circuit 5 is subjected to the addition of a CRC code, becomes a serial data, FM-modulated and the result is recorded on a magnetic tape 11. The reproduced output is demodulated by an FM demodulation circuit 12, the CRC is decoded by a CRC decode processing circuit 13, the error flag representing the error word of a reproduced data is set, the result is converted into a parallel data, which is written in a RAM 6. A de-interleave processing circuit 14 checks the error flag written in the RAM 6 and when no error exists, the correction processing is finished immediately and when not zero, the correction processing is repeated for a prescribed number of times and then finished.



Translation of page 1 right column, lines 6 to 15 in JP,62-145934(Sony Corp.)

(Outline of the invention)

In the description, disclosed is an error correction processing apparatus in which two types of error correction processing is repeated for a prescribed number of times alternatively by means of the cross-interleaving. This means is generally adopted in a PCM record/reproduction portion of a 8 mm-video tape recorder for an audio signal. The error correction processing apparatus ends the error correction processing by checking an error flag of a processing data and detecting completion of the error correction processing.

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-145934

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)6月30日

H 03 M 13/22
H 04 L 1/00

6832-5J
B-6651-5K

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 誤り訂正処理装置

⑮ 特 願 昭60-287274

⑯ 出 願 昭60(1985)12月20日

⑰ 発 明 者 山 崎 洋 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑲ 代 理 人 弁理士 小 池 晃 外1名

明細書

1. 発明の名称

誤り訂正処理装置

2. 特許請求の範囲

クロスインターリーブの手法により2系列の誤り訂正処理を交互に所定回繰り返し行う誤り訂正処理装置において、

処理データのエラーフラッグをチェックする手段と、

上記処理データのエラーが零の場合に誤り訂正処理を終了させる手段とを備え、

エラーフラッグのチェックにより誤り訂正処理の完了を検知して誤り訂正処理を終了させるようにしたことを特徴とする誤り訂正処理装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタルオーディオディスク装置(所謂CDプレーヤ)やデジタルビデオテープレ

コード等のデジタル信号を取り扱う伝送系に適用される誤り訂正処理装置に関し、特に、所謂8ミリビデオテープレコードにおけるオーディオ信号のPCM記録再生系のようにクロスインターリーブの手法を利用した誤り訂正処理装置に関する。

(発明の概要)

本発明は、8ミリビデオテープレコードにおけるオーディオ信号のPCM記録再生系のようにクロスインターリーブの手法により2系列の誤り訂正処理を交互に所定回繰り返し行う誤り訂正処理装置において、エラーフラッグのチェックにより誤り訂正処理の完了を検知して誤り訂正処理を終了させるようにしたことにより、不要な誤り訂正処理動作を行わないようにして、電力消費を少なくするようにしたものである。

(従来の技術)

一般に、デジタルオーディオディスク装置(所謂CDプレーヤ)やデジタルビデオテープレ

ダ等のデジタル信号を取り扱う伝送系では、誤り訂正符号による誤り訂正処理が行われており、例えば特開昭58-198935号公報に示されているように、データの並び替え(インターリーブ)の前後の異なるブロックから生成される誤り訂正符号(Qパリティ、Pパリティ)を情報ワードに付加しておき、Qパリティ列とPパリティ列による2系統の誤り訂正処理を行うようにしたクロスインターリーブの手法が従来より採用されている。

上記クロスインターリーブの手法を採用した誤り訂正処理装置では、Qパリティ列の誤り訂正処理とPパリティ列の誤り訂正処理を繰り返し行うことにより、極めて高い訂正能力を得ることができ、従来誤りの有無に関わらず上記訂正処理を所定回数(5回程度)繰り返し行うようにしていた。また、上記誤り訂正処理装置は、多数のC・MOS・ICやスタティックRAMにて構成されていた。上記従来の誤り訂正処理装置を構成しているC・MOS・ICやスタティックRAMは動作周

波数(動作回数)が高い程、消費電力も大きくなることが知られている。

(発明解決しようとするが問題点)

ところで、通常のエラーレートのデジタルオーディオ信号に対しては1回または2回程度の誤り訂正処理により必要な訂正処理を完了する場合が多く、上述のように誤りの有無に関わらず誤り訂正処理を所定回数だけ必ず繰り返し行う従来の誤り訂正処理装置では、不要な訂正処理動作を行うことによる無駄な電力消費が大きくなってしまいうという問題点がある。

特に、所謂8ミリビデオテープレコーダや可搬型CDプレーヤ等のバッテリ駆動される装置では、消費電力化を図る上で上述の誤り訂正処理装置の消費電力が問題となっている。

そこで、本発明は、上述の如き問題点に鑑み、不要な訂正処理動作を行うことによる無駄な電力消費を防止するようにした新規な構成の誤り訂正装置を提供するものである。

(問題点を解決するための手段)

本発明に係る誤り訂正処理装置は、上述の問題点を解決するために、クロスインターリーブの手法により2系列の誤り訂正処理を交互に所定回繰り返し行う誤り訂正処理装置において、処理データのエラーフラグをチェックする手段と、上記処理データのエラーが零の場合に誤り訂正処理を終了させる手段とを備え、エラーフラグのチェックにより誤り訂正処理の完了を検知して誤り訂正処理を終了させるようにしたことを特徴としている。

(作用)

本発明に係る誤り訂正処理装置では、処理データのエラーフラグをチェックして、エラーが零の場合に誤り訂正処理を終了する。

(実施例)

以下、本発明に係る誤り訂正処理装置の一実施

例について、図面に従い詳細に説明する。

第1図のブロック図に示す実施例は本発明を8ミリビデオテープレコーダのデジタルオーディオ信号記録再生系に適用したものである。

この実施例において、入力オーディオ信号は、信号入力端子1からノイズリダクション(NR)回路2を介してA/D変換回路3に供給され、上記A/D変換回路3により例えばNTSC方式の水平同期周波数 f_h の2倍のサンプリング周波数 $2f_h$ でサンプリングしてデジタル化され1ワード10ビットのデジタルオーディオ信号に変換される。このデジタルオーディオ信号は、次段のビット変換回路4を介して1ワード10ビットから1ワード8ビットに変換してインターリーブ処理回路5に供給される。上記インターリーブ処理回路5は、1フィールド分1050ワードのデジタルオーディオ信号(L₀, R₀, L₁, R₁, L₂, R₂, ..., L₅₂₄, R₅₂₄, L₅₂₅, R₅₂₅)の先頭に6ワードのコントロールデータ(ID₀, ID₁, ..., ID₅)を付加した1056ワ

ードのデータを1フレームとして、RAM 6のアドレス制御により縦8ワード横132ブロックの第2図に示すようなマトリクス構成のデータ列に並び替えるインターリーブ処理を行うとともに、上記マトリクス構成の各行のオーディオデータ系列を $W_0, W_1, W_2, \dots, W_{131}, W_{132}$ として、第3図に●印にて示すように14ブロックまたは15ブロックずつの横方向の距離を隔てた各データ系列に属する8ワードから第1のバリティ系列Pを生成するとともに、上記第3図に○印にて示すように上記オーディオデータ系列を $W_0, W_1, W_2, \dots, W_{131}, W_{132}$ と第1のバリティ系列Pとの計9個の系列から、12ブロックずつ隔てて取り出した9ワードから第2のバリティ系列Qを生成する。

そして、上記インターリーブ処理回路5にてインターリーブ処理の施されたデータは、次段のCRCエンコード処理回路7にてCRCコードを付加してからシリアルデータに変換されて、FM変調回路8から切り換えスイッチ9を介して回転磁

気ヘッド10に供給されて磁気テープ11に記録される。

上述の如き記録系により磁気テープ11に記録されたデジタルオーディオ信号を再生する再生系は、回転磁気ヘッド10にて得られる再生出力信号が切り換えスイッチ9を介して供給されるFM復調回路12を備えている。このFM復調回路12による復調出力として得られるシリアルデータは、CRCデコード処理回路13に供給される。上記CRCデコード処理回路13は、上記シリアルデータについて、CRCコードをデコードして再生データの誤りワードを示すエラーフラグを立ててからパラレルデータに変換する。この上記CRCデコード処理回路13から出力されるパラレルデータは、ディインターリーブ処理回路14に供給され、RAM 6に書き込まれる。

上記ディインターリーブ処理回路14は、RAM 6のアドレス制御によって、上述の記録系側におけるインターリーブ処理に対応するディインターリーブ処理を行うとともに、Pバリティ系列に

よる訂正処理とQバリティ系列による誤り訂正処理を行いデジタルオーディオ信号を再生して出力する。

上記ディインターリーブ処理回路14における誤り訂正処理では、第4図に示すように、先ず上記RAM 6に第5図に示すように書き込まれているパラレルデータの誤りワードを示すエラーフラグ $E_0, E_1, E_2, \dots, E_{131}$ のチェックを行う。このエラーフラグのチェックには、例えばRAM 6に書き込まれている全てのエラーフラグ $E_0, E_1, E_2, \dots, E_{131}$ の論理和をとる等の方法がある。そして、エラー数Eが零の場合には直ちに訂正処理を終了し、また、上記エラー数Eが零でない場合にエラー訂正処理過程に入り、Pバリティ系列あるいはQバリティ系列のエラー訂正処理を行う。このエラー訂正処理は、上記エラー数Eが零になるか、あるいは訂正処理回数Nが所定数に達するまで繰り返される。なお、上記エラー訂正処理過程では、Pバリティ系列の誤り訂正処理とQバリティ系列の誤り訂正処理が交互に行われる。

そして、上記インターリーブ処理回路5にてインターリーブ処理とともに誤り訂正処理の施されたデジタルオーディオ信号は、ビット変換処理回路15を介して1ワード8ビットから1ワード10ビットのデジタルオーディオ信号に変換され、D/A変換回路16に供給される。このD/A変換回路16にて上記デジタルオーディオ信号アナログ化して得られる再生オーディオ信号は、ノイズリダクション回路17を介して信号出力端子18から出力される。

この実施例のように、デジタルオーディオ信号を再生する際に、クロスインターリーブの手法により2系列の誤り訂正処理を交互に所定回繰り返し行う誤り訂正処理を行うにあたり、処理データのエラーフラグをチェックしてエラーが零の場合に誤り訂正処理を直ちに終了させるようにすれば、不要な訂正処理を行うことがなくなり、誤り訂正処理装置における電力消費を小さくすることができる。

(発明の効果)

上述の実施例の説明から明らかなように本発明に係る誤り訂正処理装置では、クロスインターリーブの手法により2系列の誤り訂正処理を交互に所定回繰返し行う誤り訂正処理を行うにあたり、処理データのエラーフラグをチェックしてエラーが零の場合に誤り訂正処理を終了するので、不要な訂正処理動作による無駄な電力消費を防止して、低消費電力化を図ることができる。

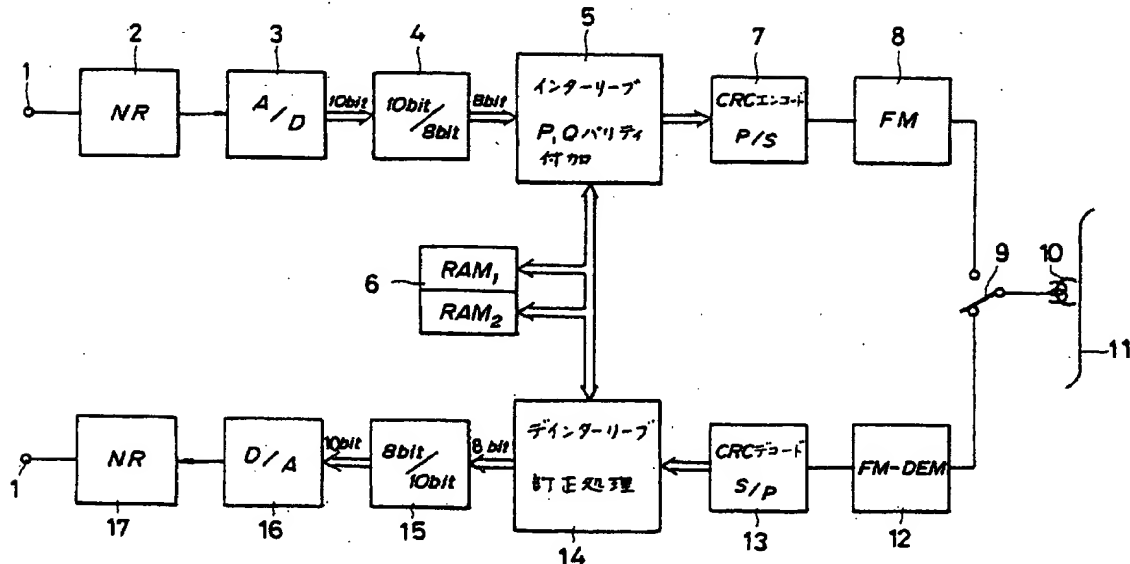
4. 図面の簡単な説明

第1図は本発明に係る8ミリビデオテープレコードのデジタルオーディオ信号の記録再生系に適用した一実施例を示すブロック図であり、第2図は上記実施例においてインターリーブ処理されたデータの構成を示す模式図であり、第3図は上記実施例において用いられる2系統のパリティを生成動作を説明するための模式図であり、第4図は上記実施例における再生系のディインターリーブ処理回路による誤り訂正処理動作を説明するため

のフローチャートである。第5図は上記再生系のディインターリーブ処理回路による誤り訂正処理に用いられるRAMのフォーマットを示す模式図である。

- 5・・・インターリーブ処理回路
- 6・・・RAM
- 7・・・CRCエンコード処理回路
- 10・・・回転磁気ヘッド
- 11・・・磁気テープ
- 13・・・CRCデコード処理回路
- 14・・・ディインターリーブ処理回路

特許出願人 ソニー株式会社
代理人 弁理士 小池 晃
同 田村 榮一



実施例の構成図

第1図

